

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 04 日
Application Date

申請案號：092205447
Application No.

申請人：日月光半導體製造股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 11 月 13 日
Issue Date

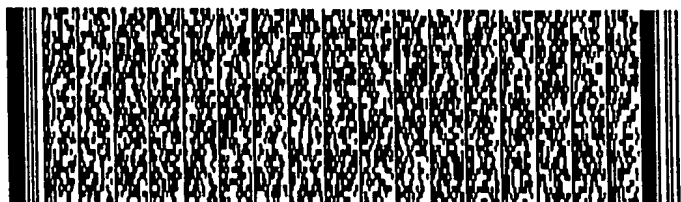
發文字號：09221149180
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

新型專利說明書

一、 新型名稱	中 文	整合打線與覆晶型態之多晶片封裝結構
	英 文	MULTI-CHIP PACKAGE COMBINING WIRE-BONDING AND FLIP-CHIP CONFIGURATION
二、 創作人 (共1人)	姓 名 (中文)	1. 劉承政
	姓 名 (英文)	1. Cheng-Cheng Liu
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (中 文)	1. 雲林縣斗六市永昌西街8號6樓
	住居所 (英 文)	1. 6Fl., No. 8, Yungchang W. St., Douliou City, Yunlin, Taiwan 640, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 日月光半導體製造股份有限公司
	名稱或 姓 名 (英文)	1. Advanced semiconductor Engineering, Inc.
	國 籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 高雄市楠梓加工出口區經三路26號 (本地址與前向貴局申請者不同)
	住居所 (營業所) (英 文)	1. No. 26, Chin 3rd Rd., Nantze Export Processing Zone, Kaohsiung, Taiwan, R.O.C.
	代表人 (中文)	1. 張虔生
	代表人 (英文)	1. Jason Chang



四、中文創作摘要 (創作名稱：整合打線與覆晶型態之多晶片封裝結構)

一種整合打線與覆晶型態之多晶片封裝結構，其包含有複數個晶片、一封裝基板、一封裝膠體，該封裝基板之上表面設有打線型態晶片以及一包含有覆晶晶片之覆晶電子元件，其中該覆晶電子元件係電性連接至該封裝基板之連接墊，該連接墊係設於該封裝基板之上表面且不被該封裝膠體覆蓋，該打線型態之晶片係被一具有讓位弧角之封裝膠體密封，該封裝膠體由一具有讓位弧角之模具壓模灌膠形成，在壓模過程該模具係不損傷該些顯露於該封裝膠體之連接墊。

伍、(一)、本案代表圖為：第__1__圖

陸、英文創作摘要 (創作名稱：MULTI-CHIP PACKAGE COMBINING WIRE-BONDING AND FLIP-CHIP CONFIGURATION)

A multi-chip package combining wire-bonding and flip-chip configuration comprises a plurality of chips, a substrate and a molding compound. Chip(s) with wiring-bonding type and a flip-chip type electrical device, which is including flip-chip chip(s), are mounted on an upper surface of the substrate. The flip-chip type electrical device is electrically connected to a plurality of contact pads of the substrate which are formed on the upper surface of the substrate without covering by the molding compound. The molding



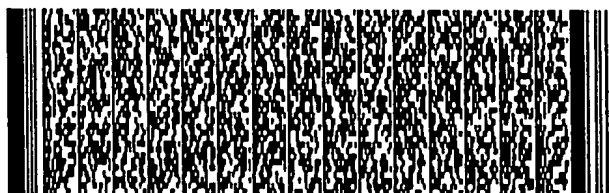
四、中文創作摘要 (創作名稱：整合打線與覆晶型態之多晶片封裝結構)

(二)、本案代表圖之元件代表符號簡單說明：

100	多晶片封裝結構		
110	封裝基板	111	上表面
113	連接墊	113a	連接墊
120	打線晶片	121	主動面
130	封裝膠體	131	讓位弧角
140	覆晶電子元件	142	凸塊
170	打線晶片	180	打線晶片
		114	澆道口
		123	鐳線
		132	延伸部
		143	底部填充材

陸、英文創作摘要 (創作名稱：MULTI-CHIP PACKAGE COMBINING WIRE-BONDING AND FLIP-CHIP CONFIGURATION)

compound is formed from a mold with arc recession and seals the chip(s) with wire-bonding type so as to avoid injuring the contact pads exposing from the molding compound by the mold during molding process.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第一百零五條準用
第二十四條第一項優先權

二、☐主張專利法第一百零五條準用第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第九十八條第一項☐第一款但書或☐第二款但書規定之期間

日期：



五、創作說明 (1)

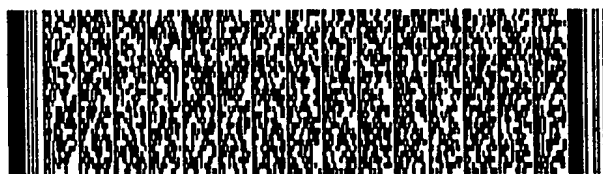
【 新型所屬之技術領域 】

本創作係有關於多晶片封裝 (multi-chip package, MCP) , 特別係有關於一種整合打線與覆晶型態之多晶片封裝結構。

【 先前技術 】

多晶片封裝 (multi-chip package, MCP) 技術普遍運用半導體封裝領域, 基於半導體封裝實用需求, 如將複數個相同電性功能晶片封裝一體成具有更多記憶體容量之多晶片模組, 或將複數個電性功能不同晶片封裝一體成具有系統運算功能之多晶片系統封裝 (System In Package) , 且依晶片之型態不同須個別呈打線 (wire-bonding) 與覆晶 (flip-chip) 加以封裝。

我國專利公告第466719號「一種混合晶片及封裝件的多晶片模組封裝方法」係揭示有一種多晶片模組封裝結構, 其係在一封裝基板之一封裝材料內密封一打線連接之晶片與一個以上之晶片封裝體, 該晶片封裝體可以是覆晶接合之晶方尺寸封裝件 (CSP) , 即覆晶接合之晶片應先封裝為晶方尺寸封裝件等次封裝結構, 再與打線型態之晶片一同密封在多晶片模組封裝結構之封裝材料內, 為了密封該晶方封裝體, 該基板係具有較大的基板尺寸, 使得該多晶片模組封裝結構之尺寸不當地擴大, 另, 該晶片封裝體在兩次之封裝後, 該外封裝材料係一體結合該晶片封裝體與打線連接之晶片, 使其無法被拔除重工 (rework) , 一旦測試為不良, 整個多晶片模組封裝結構必須被拋棄,



五、創作說明 (2)

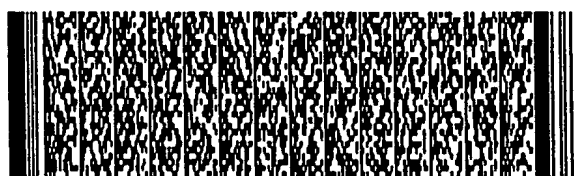
若僅簡單將晶片封裝體配置於封裝材料之外，為了緊縮該封裝基板之配置面積，一壓模模具易於壓損〔damage〕複數個設計在該封裝基板上外露的连接墊，同時容易引起封裝基板之翹曲〔warpage〕。

【新 型 內 容】

本創作之主要目的係在於提供一種整合打線與覆晶型態之多晶片封裝結構，利用一具有讓位弧角之模具壓模形成一具有讓位弧角之封裝膠體，該封裝膠體之讓位弧角係不覆蓋封裝基板之連接墊，以供一覆晶電子元件之接合，該具有讓位弧角之模具係避免壓模時壓損該些連接墊，有效整合具打線與覆晶型態之多晶片封裝於一較小面積尺寸之封裝基板。

本創作之次一目的係在於提供一種整合打線與覆晶型態之多晶片封裝結構，利用一封裝膠體密封至少一打線晶片並且局部覆蓋於該封裝基板之上表面，不被封裝膠體覆蓋之該封裝基板上表面係可供至少一覆晶電子元件接合，以提供一種具體可行用以整合具打線與覆晶型態之高密度多晶片封裝結構。

依本創作之整合打線與覆晶型態之多晶片封裝結構，其包含有一封裝基板、至少一打線晶片、一封裝膠體及至少一覆晶電子元件，其中該封裝基板具有一上表面、一下表面以及複數個形成於該上表面之連接墊，該打線晶片係設於該封裝基板之上表面並以打線〔wiring-bonding〕電性連接至該封裝基板，該封裝膠體係壓模形成於該封裝基



五、創作說明 (3)

板之部份上表面，以密封該打線晶片且不覆蓋該些連接墊，該封裝膠體係具有至少一讓位弧角，使得該封裝膠體與鄰近之連接墊保留有一間距，較佳地該間距係在1.0mm以上，以避免在壓模過程壓損該些連接墊，而該覆晶電子元件係接合於該封裝基板連接墊，以構成一具體有效整合打線與覆晶型態之多晶片封裝結構。

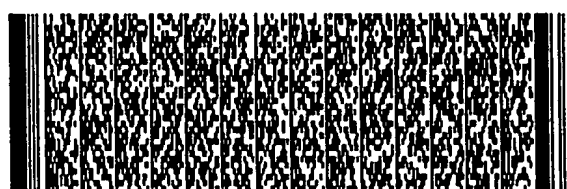
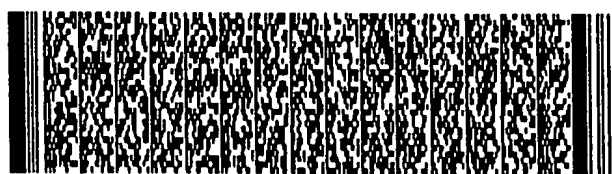
【實施方式】

參閱所附圖式，本創作將列舉以下之實施例說明。

依本創作之第一具體實施例，請參閱第1及3圖，第1圖係為該多晶片封裝結構100之上視圖，第3圖係為該整合打線與覆晶型態之多晶片封裝結構100之截面示意圖，該多晶片封裝結構100係整合有打線與覆晶型態之多晶片封裝，其係主要包含有一封裝基板110、至少一打線晶片120、一封裝膠體130及至少一覆晶電子元件140，其詳述如后。

如第1、3圖所示，該封裝基板110係具有一上表面111、一下表面112、複數個形成於該上表面111之連接墊113以及電性導通該上表面111與該下表面112之電路層

〔圖未繪出〕，例如為多層印刷電路板或多層陶瓷電路板，在該封裝基板110之上表面111係黏設有至少一被封裝膠體130密封之打線晶片120，在本實施例中，在該封裝基板110之上表面111被該封裝膠體130密封者係包含有該打線晶片120、170、180，故該封裝膠體130可依需求設計為密封單一晶片或複數個晶片。

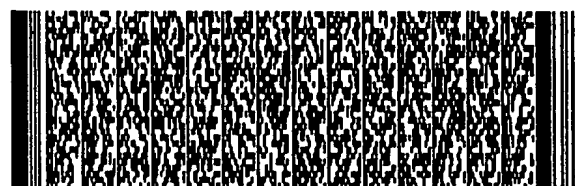
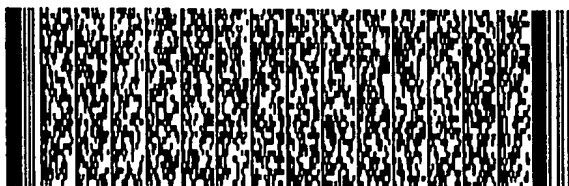


五、創作說明 (4)

該打線晶片120係代表以打線電性連接之各式積體電路晶片，請參閱第3圖，該打線晶片120係具有一主動面121及一背面122，該主動面121係形成有複數個周邊鉑墊〔圖未繪出〕，以供打線形成之複數個鉑線123電性連接該打線晶片120與該封裝基板110，該打線晶片120係以打線接合型態形成於該封裝基板110之上表面111，且該打線晶片120係被該封裝膠體130所密封。

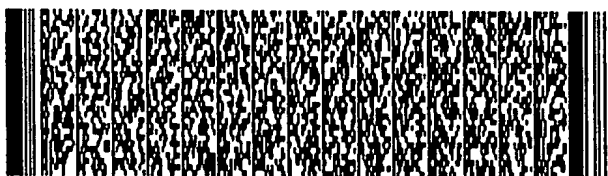
該封裝膠體130係壓模形成〔molding〕於該封裝基板110之上表面111且部份覆蓋該封裝基板110之上表面111，用以密封該些打線晶片120、170、180，該封裝膠體130係以習知壓模技術在一模穴內經由該封裝基板110之具有金屬膜之澆道口114〔molding gate〕灌注該封裝膠體130，並且利用具有讓位弧角之模具設計，使該封裝膠體130形成有至少一讓位弧角131，並且該以壓模形成之裝膠體130係不覆蓋該些形成於該封裝基板110之上表面111之連接墊113，較佳地，該封裝膠體130之讓位弧角131離其中最近之連接墊113a之間距係在1.0mm以上，又以1.6mm以上間距為尤佳，使得在壓模過程中該壓模模具之壓觸緣〈圖未繪出〉不會壓觸該封裝基板110之上表面111之該些連接墊113、113a。

請參閱第2圖，由於該覆晶電子元件140之接合步驟係在形成該封裝膠體130之後，在壓模形成該封裝膠體130時，該封裝基板110之連接墊113、113a係已預先形成有預鉑材115〔pre-solder〕，以利該覆晶電子元件140之接



五、創作說明 (5)

合，本創作係利用該封裝膠體130之讓位弧角131設計，避免壓模模具因壓觸該些連接墊113、113a及其預鐸材115而損傷該些連接墊113、113a，在本實施例中，該封裝膠體130係沿該讓位弧角131往兩側延伸，而形成兩側延伸部132，使得該封裝膠體130呈L形局部覆蓋於該封裝基板110之上表面111〔如第1圖所示〕，以增進該封裝基板110之抗翹曲度〔warpage resistance〕，另，在該封裝基板110不被該封裝膠體130覆蓋的上表面111係覆晶接合有至少一覆晶電子元件140〔如第1、3圖所示〕。該覆晶電子元件140係包含有至少一覆晶接合方式之各式積體電路晶片，在本實施例中，該覆晶電子元件140係為一覆晶晶片，其係直接接合於該封裝基板110之上表面111並且不被該封裝膠體130所密封，該覆晶電子元件140係具有一主動面141，該主動面141係形成有複數個導電凸塊142，該些導電凸塊142係接合於該封裝基板110之連接墊113、113a，以電性連接該封裝基板110，使得在該封裝基板110之上表面111同時形成有打線與覆晶型態之晶片模組，較佳地，在該覆晶電子元件140與該封裝基板110之間係形成有一底部填充材143〔underfilling material〕，以密封保護該些凸塊142，此外，請參閱第3圖，另可在該封裝基板110之上表面111上方設有一散熱板160，該散熱板160係貼附該封裝膠體130與該覆晶電子元件140，以增進整體多晶片封裝結構100之散熱，在整合打線晶片120、170、180與覆晶電子元件140之後，可在該封裝基板110之下表面



五、創作說明 (6)

112接合有複數個鐳球150分別電性連接該打線晶片120、170、180與該覆晶電子元件140，以構成多晶片球格陣列封裝。

因此，本創作之多晶片封裝結構100係具有整合打線與覆晶型態多晶片封裝之功效，並且具有防止該密封打線晶片120之封裝膠體130在壓模過程壓損連接墊113、113a之功效，另由於該封裝膠體130係不密封該覆晶電子元件140，該封裝基板110不需要預留有密封該覆晶電子元件140之邊緣，使得該封裝基板110之面積尺寸可更進一步緊縮，以構成一整合打線與覆晶型態之小尺寸多晶片封裝結構，且該封裝膠體130之耗用量也可有效節省。

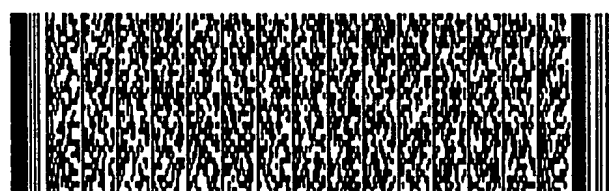
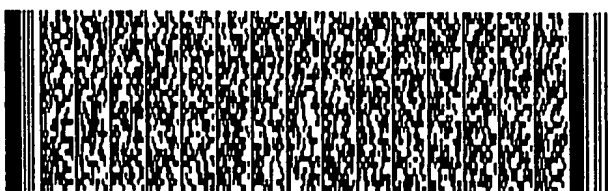
此外，本創作另例舉一第二具體實施例，請參閱第4圖，一種整合打線與覆晶型態之多晶片封裝結構200係主要包含有一封裝基板210、一封裝膠體220及一覆晶電子元件230，該封裝基板210之上表面211係具有複數個連接墊212，該壓模形成之封裝膠體220係密封有含打線型態之各式晶片〔圖未繪出〕並局部覆蓋於該封裝基板210之上表面，且不覆蓋該些連接墊212，以供該覆晶電子元件230之接合，該封裝膠體220並形成有第一讓位弧角221與第二讓位弧角222，沿該第一讓位弧角221與第二讓位弧角222延伸，使得該封裝膠體220呈冂形局部覆蓋於該封裝基板210且與該些連接墊212保有適當之間距〔約在1.0~3.0mm之間〕，故該些連接墊212及其預鐳材〔圖未繪出〕不會在該封裝膠體220之壓模製程中被模具壓損，而該封裝基板



五、創作說明 (7)

210 在不被該封裝膠體220 覆蓋之顯露表面係覆晶接合有一覆晶電子元件230，該覆晶電子元件230係電性導通至該些連接墊212，因此該多晶片封裝結構200係能有效整合打線與覆晶型態之多晶片封裝，以防止壓模模具於壓模製程中壓損該些連接墊212。

再者，本創作之封裝膠體係可有多種等效性變化，本創作特例舉第三具體實施例及第四具體實施例加以說明，於本創作之第三具體實施例，請參閱第5及6圖，一種整合打線與覆晶型態之多晶片封裝結構300係包含有一封裝基板310、一覆晶電子元件320以及一封裝膠體330，該封裝膠體330係形成於該封裝基板310之部份上表面311，並密封有至少一半導體晶片〔圖未繪出〕，而不覆蓋形成於該封裝基板上表面311之複數個連接墊312、312a，該封裝膠體330係具有一讓位弧角331，使得最接近該封裝膠體330之連接墊312a距離該封裝膠體330有一適當間隔，如1.0mm以上，以避免在壓模過程用以形成該封裝膠體330之壓模模具壓傷該連接墊312a，並且該封裝膠體330在顯露表面且與兩側延伸部332之連接處係形成有一高低位差之階梯部333〔請參閱第6圖〕，以減少整個封裝基板310之翹起變形〔warpage〕，而在本實施例中該覆晶電子元件320係為一球格陣列之覆晶構裝件〔flip-chip package〕或晶片〔晶方〕尺寸構裝件〔Chip Scale Package〕，該覆晶電子元件320係包含有一覆晶晶片321及一基板322，該覆晶晶片321係覆晶接合至該基板322，該基板322之下表面

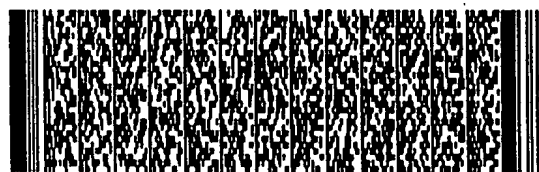
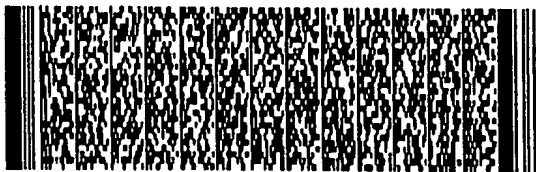


五、創作說明 (8)

係形成有複數個銲球323，以供表面接合至該些連接墊312、312a。

於本創作之第四具體實施例中，請參閱第7圖，所揭示之整合打線與覆晶型態之多晶片封裝結構係包含有與第三具體實施例所述結構之大體相同之構件，如具有連接墊之封裝基板310、密封有打線晶片之封裝膠體330、覆晶電子元件320，以相同圖號表示之，該封裝膠體330係壓模形成於該封裝基板310之部份上表面311，且該封裝膠體330係形成有一讓位弧角331以及在兩側之延伸部332，該封裝膠體330在顯露表面且與該延伸部332之連接處係形成有至少一凹下之溝槽334，亦可達到減少整個封裝基板310之翹起變形〔warpage〕之功效。

本創作之保護範圍當視後附之申請專利範圍所界定者為準，任何熟知此項技藝者，在不脫離本創作之精神和範圍內所作之任何變化與修改，均屬於本創作之保護範圍。



圖式簡單說明

【圖式簡單說明】

- 第1 圖：依本創作之第一具體實施例，一種整合打線與覆晶型態之多晶片封裝結構上視圖；
- 第2 圖：依本創作之第一具體實施例，該整合打線與覆晶型態之多晶片封裝結構在接合其覆晶電子元件之前之截面示意圖；
- 第3 圖：依本創作之第一具體實施例，該整合打線與覆晶型態之多晶片封裝結構沿第1圖3-3線截面示意圖；
- 第4 圖：依本創作之第二具體實施例，一種整合打線與覆晶型態之多晶片封裝結構上表面示意圖；
- 第5 圖：依本創作之第三具體實施例，一種整合打線與覆晶型態之多晶片封裝結構上表面示意圖；
- 第6 圖：依本創作之第三具體實施例，該整合打線與覆晶型態之多晶片封裝結構立體示意圖；及
- 第7 圖：依本創作之第四具體實施例，一種整合打線與覆晶型態之多晶片封裝結構立體示意圖。

元件符號簡單說明：

100	多晶片封裝結構				
110	封裝基板	111	上表面	112	下表面
113	連接墊	113a	連接墊	114	澆道口
115	預鐸料				
120	打線晶片	121	主動面	122	背面



圖式簡單說明

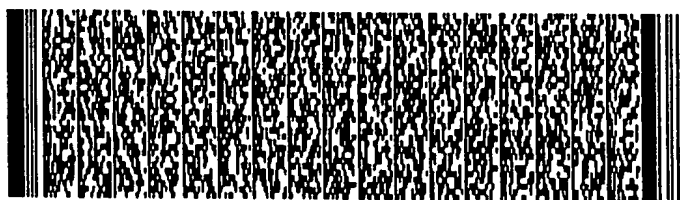
123	鐳線				
130	封裝膠體	131	讓位弧角	132	延伸部
140	覆晶電子元件	141	主動面	142	凸塊
143	底部填充材				
150	鐳球	160	散熱板		
170	打線晶片	180	打線晶片		
200	多晶片封裝結構			210	封裝基板
211	上表面	212	連接墊		
220	封裝膠體				
221	第一讓位弧角	222	第一讓位弧角	323	鐳球
230	覆晶電子元件				
231	覆晶晶片	232	覆晶基板		
300	多晶片封裝結構				
310	封裝基板	311	上表面		
312	連接墊	312a	連接墊		
320	覆晶電子元件	321	覆晶晶片	322	次基板
330	封裝膠體	331	讓位弧角	332	延伸部
333	階梯部位	334	溝槽		



六、申請專利範圍

【申請專利範圍】

- 1、一種整合打線與覆晶型態之多晶片封裝結構，包含：
一封裝基板，其具有一上表面及一下表面，其中該上表面係形成有複數個連接墊；
至少一打線晶片，設於該封裝基板之上表面並打線（wiring-bonding）電性連接至該封裝基板；
一封裝膠體，壓模形成於該封裝基板之部份上表面，以密封該打線晶片，且該封裝膠體係具有至少一讓位弧角且不覆蓋該些連接墊；及
至少一覆晶電子元件，其包含有至少一覆晶晶片，該覆晶電子元件係接合於該封裝基板之上表面並電性連接至該些連接墊。
- 2、如申請專利範圍第1項所述之整合打線與覆晶型態之多晶片封裝結構，其中該封裝膠體之讓位弧角離最近之連接墊之間距係在1.0mm以上。
- 3、如申請專利範圍第1項所述之整合打線與覆晶型態之多晶片封裝結構，其中該封裝膠體係沿該讓位弧角往兩側延伸而呈L形覆蓋於該封裝基板之上表面。
- 4、如申請專利範圍第1項所述之整合打線與覆晶型態之多晶片封裝結構，其中該封裝膠體係沿該讓位弧角延伸而呈U形覆蓋於該封裝基板之上表面。
- 5、如申請專利範圍第1項所述之整合打線與覆晶型態之多晶片封裝結構，其中在該覆晶電子元件係為一覆晶封裝構件。



六、申請專利範圍


- 6、如申請專利範圍第1項所述之整合打線與覆晶型態之多晶片封裝結構，其另包含有複數個鐳球，其係接合於該封裝基板之下表面。
- 7、如申請專利範圍第1或6項所述之整合打線與覆晶型態之多晶片封裝結構，其另包含有一散熱板，其係貼設於該封裝膠體與該覆晶電子元件。
- 8、如申請專利範圍第1項所述之整合打線與覆晶型態之多晶片封裝結構，其中該封裝膠體於顯露表面係形成有至少一階梯部。
- 9、如申請專利範圍第1項所述之整合打線與覆晶型態之多晶片封裝結構，其中該封裝膠體於顯露表面係形成有至少一溝槽。



[illegible]

100

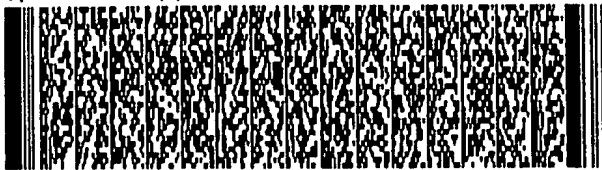
100



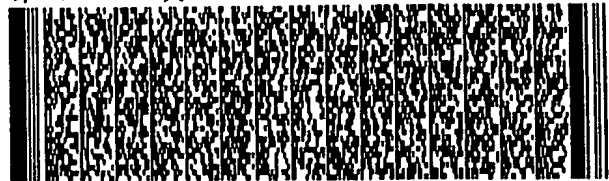


100

第 10/16 頁



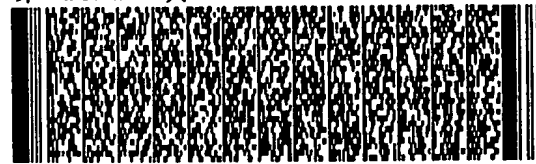
第 11/16 頁



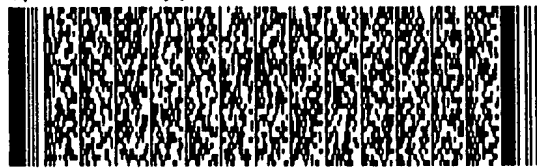
第 11/16 頁



第 12/16 頁



第 12/16 頁



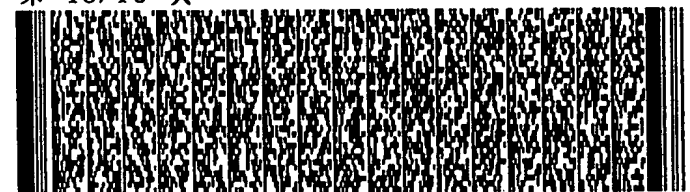
第 13/16 頁



第 14/16 頁

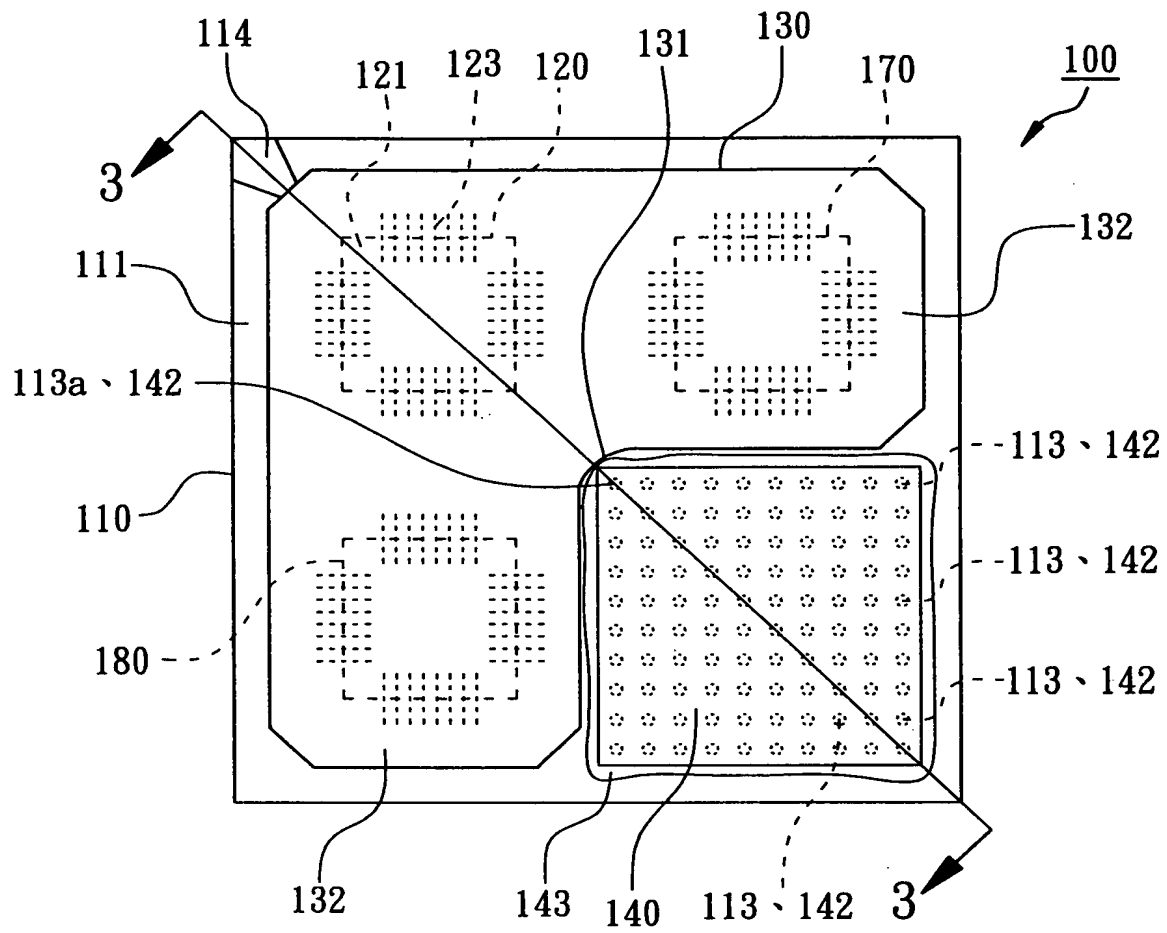


第 15/16 頁

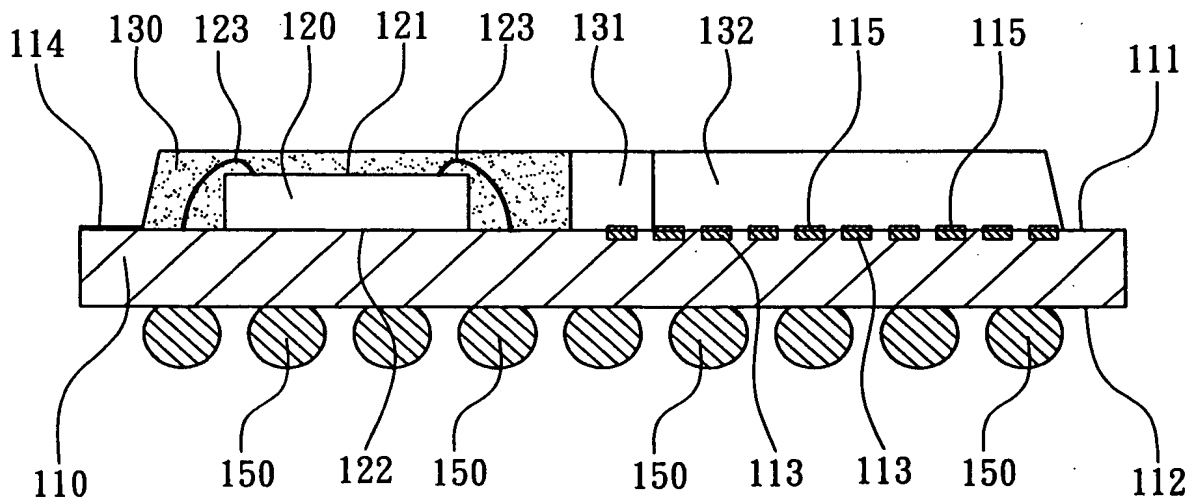


第 16/16 頁

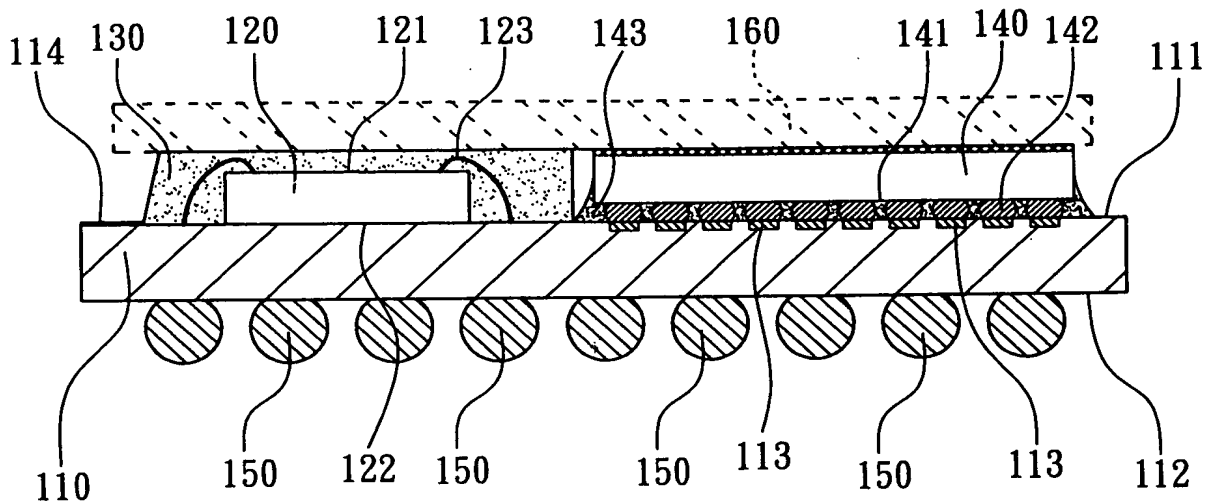




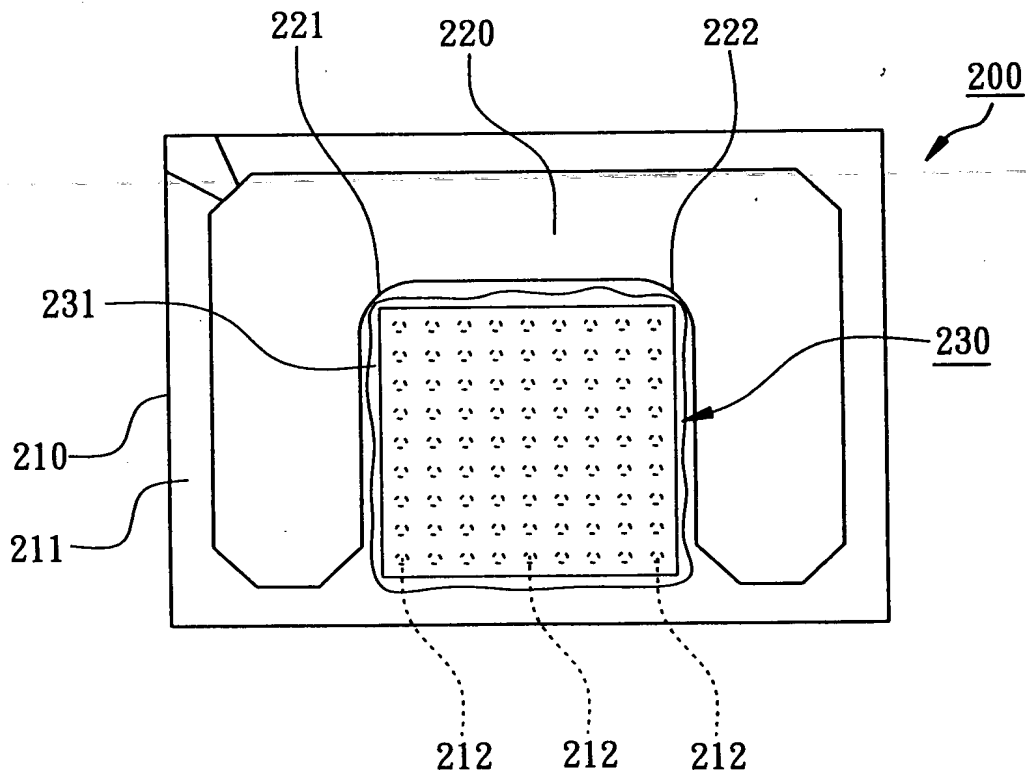
第 1 圖



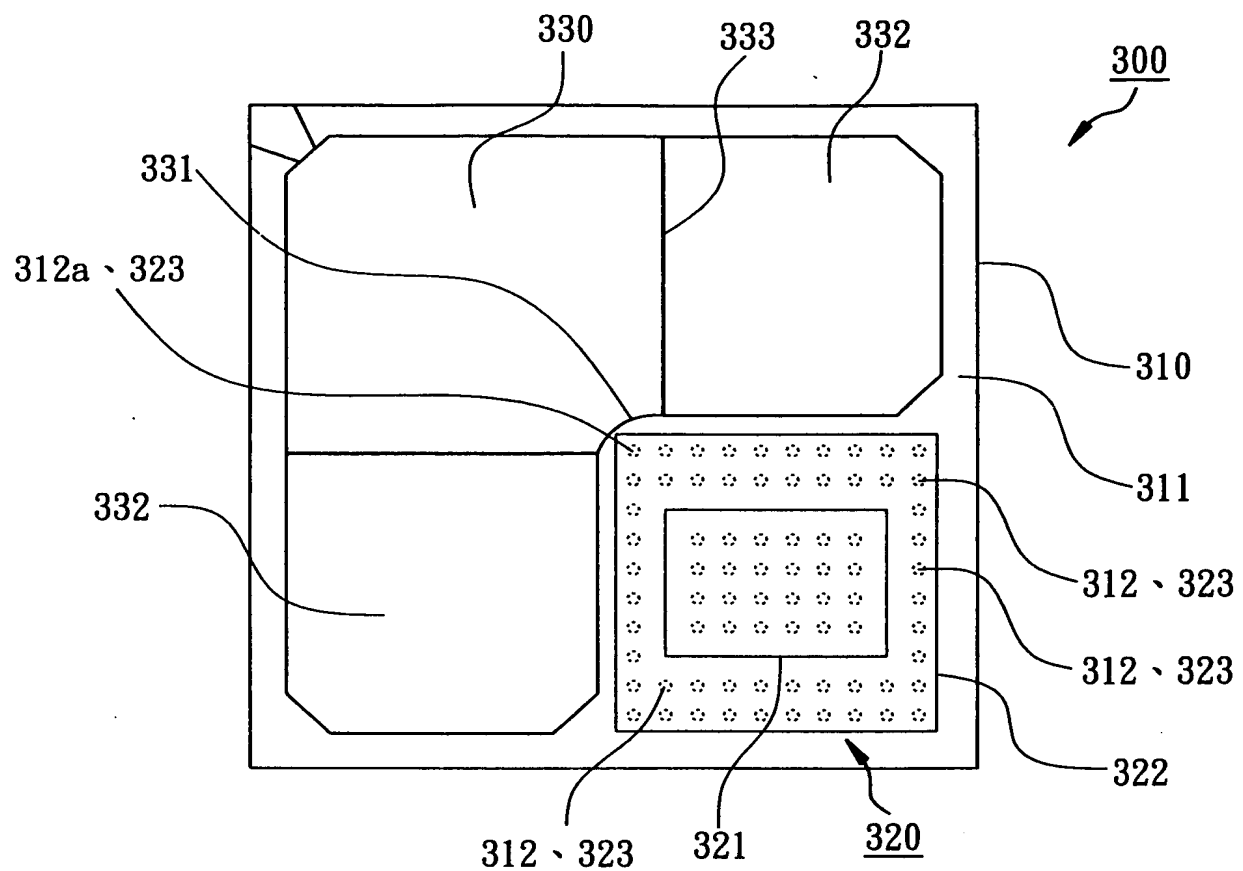
第 2 圖



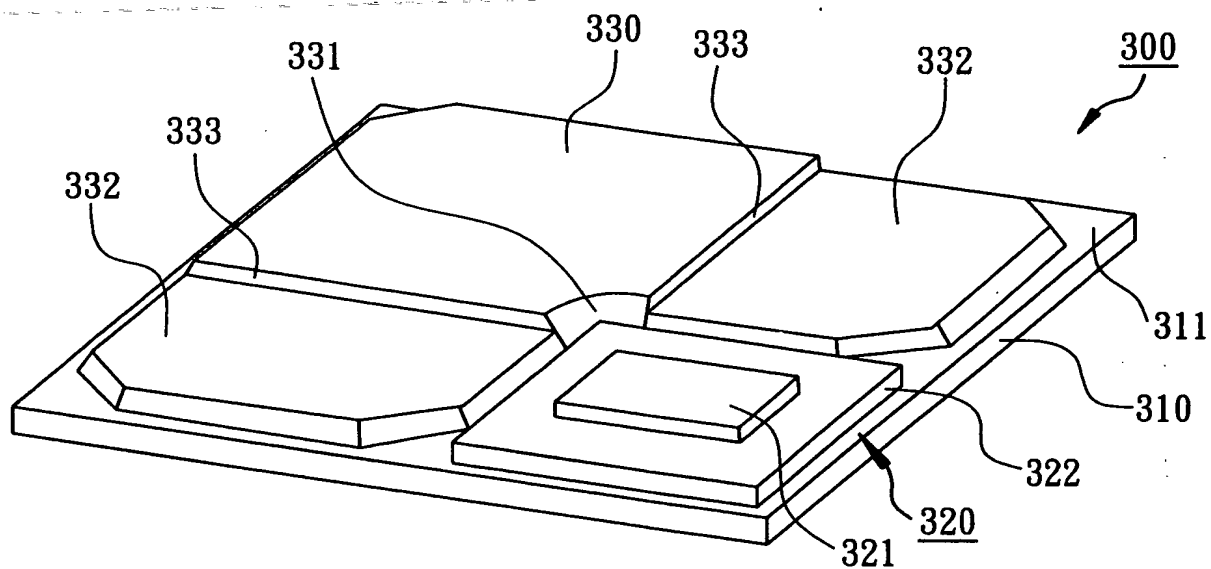
第 3 圖



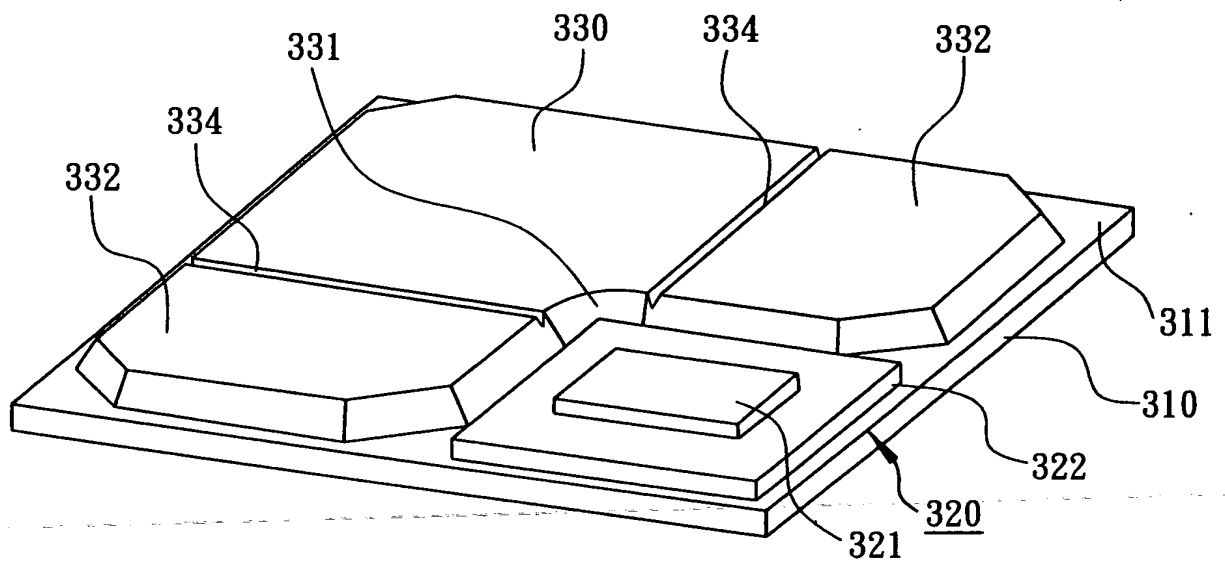
第 4 圖



第 5 圖



第 6 圖



第 7 圖